



(12)发明专利申请

(10)申请公布号 CN 108288629 A

(43)申请公布日 2018.07.17

(21)申请号 201710017418.7

(22)申请日 2017.01.10

(71)申请人 英属开曼群岛商臻创科技股份有限公司

地址 开曼群岛大开曼岛大展馆商业中心奥林德道西湾路802号邮政信箱32052, KY1-1208

(72)发明人 赖育弘 林子旸 李允立 罗玉云

(74)专利代理机构 北京同立钧成知识产权代理有限公司 11205

代理人 马雯雯 臧建明

(51)Int.Cl.

H01L 27/15(2006.01)

H01L 33/62(2010.01)

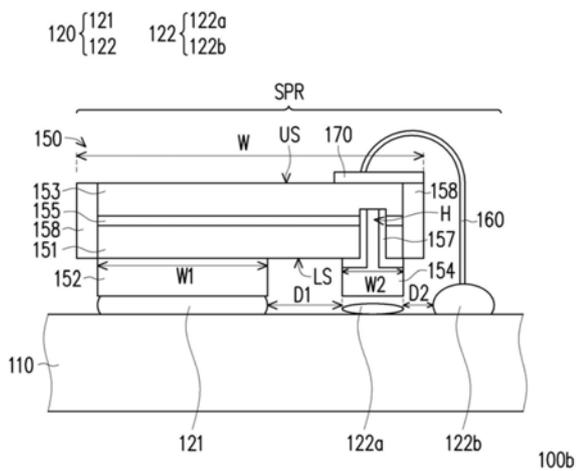
权利要求书2页 说明书8页 附图9页

(54)发明名称

显示面板

(57)摘要

本发明提供一种显示面板。该显示面板包括背板以及多个微型发光二极管。背板包括多个子像素区域。每一子像素区域具有N组接垫组。每一接垫组包括第一电性接垫与X个第二电性接垫。N为1~3的整数、X为2~4的整数。这些微型发光二极管个别设置于这些子像素区域中且一微型发光二极管与N组接垫组中的一相对应的接垫组电性连接以接受第一电性载子与第二电性载子而发光。



1. 一种显示面板,其特征在于,包括:

一背板,包括多个子像素区域,每一所述子像素区域具有N组接垫组,每一所述接垫组包括一第一电性接垫与X个第二电性接垫,其中N为1~3的整数、X为2~4的整数;以及

多个微型发光二极管,个别设置在所述多个子像素区域中且一所述微型发光二极管与所述N组接垫组中的一相对应的接垫组电性连接以接受一第一电性载子与一第二电性载子而发光。

2. 根据权利要求1所述的显示面板,其特征在于,每一所述微型发光二极管包括:

一第一型掺杂半导体层;

一第二型掺杂半导体层;

一发光层,位于所述第一型掺杂半导体层与所述第二型掺杂半导体层之间;

一第一电极,电性连接所述第一型掺杂半导体层与所述相对应的接垫组的所述第一电性接垫;以及

一第二电极,电性连接所述第二型掺杂半导体层与所述相对应的接垫组的所述多个第二电性接垫中的至少其中之一。

3. 根据权利要求2所述的显示面板,其特征在于,所述多个微型发光二极管是以覆晶方式设置在所述背板上。

4. 根据权利要求2所述的显示面板,其特征在于,所述第一电性载子经由所述相对应的接垫组的所述第一电性接垫、所述第一电极传递至所述发光层,所述第二电性载子经由所述相对应的接垫组的其中一所述第二电性接垫、所述第二电极传递至所述发光层。

5. 根据权利要求2所述的显示面板,其特征在于,每一所述微型发光二极管在所述背板形成一投影区域,与所述微型发光二极管电性连接的所述第一电性接垫位在所述投影区域中,与所述微型发光二极管的所述第二电极连接的所述第二电性接垫与所述投影区域至少部分重叠。

6. 根据权利要求2所述的显示面板,其特征在于,在一所述子像素区域中,所述第一电性接垫与电性连接所述第二电极的所述第二电性接垫之间的距离为一第一距离,电性连接所述第二电极的所述第二电性接垫与相邻的另一所述第二电性接垫之间的距离为一第二距离,其中所述第一距离大于所述第二距离。

7. 根据权利要求2所述的显示面板,其特征在于,每一子像素中还包括一导电层配置在所述第二型掺杂半导体层上,并电性连接所述第二型掺杂半导体层与所述相对应的接垫组中不与所述第二电极连接的所述第二电性接垫。

8. 根据权利要求7所述的显示面板,其特征在于,所述导电层以金属打线方式与所述第二电性接垫电性连接。

9. 根据权利要求7所述的显示面板,其特征在于,每一微型发光二极管在所述背板形成一投影区域,与所述微型发光二极管电性连接的所述第一电性接垫位于所述投影区域中,与所述微型发光二极管的所述第二电极连接的所述第二电性接垫与所述投影区域至少部份重叠,与所述导电层连接的所述第二电性接垫位于所述投影区域之外。

10. 根据权利要求7所述的显示面板,其特征在于,所述第一电性载子经由所述第一电性接垫、所述第一电极传递至所述发光层,所述第二电性载子经由所述多个第二电性接垫并经由所述第二电极与所述导电层传递至所述发光层。

11. 根据权利要求7所述的显示面板,其特征在于,所述第二电极与所述导电层分别位于所述第二型掺杂半导体层的两相对侧。

12. 根据权利要求2所述的显示面板,其特征在于,在每一所述子像素区域中,所述第一电性接垫与电性连接所述第二电极的所述第二电性接垫之间的距离与所述微型发光二极管的最大宽度的比例介于0.1~0.6。

13. 根据权利要求2所述的显示面板,其特征在于,在每一所述子像素区域中,所述第一电极的最大宽度与所述微型发光二极管的最大宽度的比例介于0.4~0.9。

14. 根据权利要求2所述的显示面板,其特征在于,在每一所述子像素区域中,所述第二电极的最大宽度与所述微型发光二极管的最大宽度的比例介于0.1~0.4。

15. 根据权利要求2所述的显示面板,其特征在于,所述第一型掺杂半导体层为P型掺杂半导体层,且所述第二型掺杂半导体层为N型掺杂半导体层。

16. 根据权利要求2所述的显示面板,其特征在于,每一所述微型发光二极管具有一贯孔与一绝缘层,所述贯孔贯穿所述第一型掺杂半导体层、所述发光层以及部分所述第二型掺杂半导体层,所述绝缘层设置在所述贯孔的侧壁以及所述第一型掺杂半导体层的一部分表面,其中所述第二电极设置在所述贯孔内以与所述第二型掺杂半导体层电性连接,所述绝缘层位在所述第二电极与所述第一型掺杂半导体层间以及所述第二电极与所述发光层间。

显示面板

技术领域

[0001] 本发明涉及一种显示面板。

背景技术

[0002] 微型发光二极管 (Micro LED, μ LED) 具有自发光显示特性。相较于同为自发光显示的有机发光二极管 (Organic Light Emitting Diode, OLED) 技术, 微型发光二极管不仅效率高、寿命较长、材料不易受到环境影响而相对稳定。因此微型发光二极管有望超越有机发光二极管显示技术而成为未来显示技术的主流。

[0003] 然而, 在将微型发光二极管接合 (Bonding) 在显示面板的基板上时常常衍生出以下的问题。由于微型发光二极管的尺寸较小, 当要使微型发光二极管接合在显示面板的基板时, 较不容易对准。接着, 将微型发光二极管与基板上的接垫 (Pad) 对准后, 还要再进行接合的步骤。在一般的状况下, 微型发光二极管上的P型电极与N型电极的宽度会设计为相同的大小, 并且基板上的接垫 (Pad) 通常选用较软以及熔点较低的金属 (例如是铜、锡或其合金)。在接合的过程中, 需要对基板上的接垫稍微加热, 以使接垫变成熔融态, 并且将微型发光二极管往接垫的方向下压以完成接合的步骤。然而, 经受压以及加热后的接垫会往其两侧的方向扩张, 而容易使得相邻的接垫之间彼此接触, 造成短路 (Short Circuit) 的现象。

[0004] 为了解决短路的问题, 一种解决的方式是将微型发光二极管上的P型电极与N型电极的宽度两者等比例缩小, 以使两个电极之间的距离变大。如此一来, 当微型发光二极管下压的过程中, 相邻的接垫彼此接触的机率大幅降低, 可以解决短路的问题。然而, 由于P型电极与N型电极过小的关系, 当将微型发光二极管下压时, 容易使得微型发光二极管产生裂纹 (Crack)。

[0005] 上述所提到的问题都会使得显示面板产生坏点 (Defect Pixel), 降低显示面板的制造良率或者是使显示面板的图像质量恶化。综合以上, 如何解决上述问题, 实为目前本领域研发人员研发的重点之一。

发明内容

[0006] 本发明提供一种显示面板, 其大幅降低对准的难度, 且具有良好的制造良率以及影像品质。

[0007] 本发明提供一种显示面板, 包括背板以及多个微型发光二极管。背板包括多个子像素区域。每一子像素区域具有N组接垫组。每一接垫组包括第一电性接垫与X个第二电性接垫。N为1~3的整数、X为2~4的整数。这些微型发光二极管个别设置在这些子像素区域中且一微型发光二极管与N组接垫组中的一相对应的接垫组电性连接以接受第一电性载子与第二电性载子而发光。

[0008] 在本发明的一实施例中, 上述的每一微型发光二极管包括第一型掺杂半导体层、第二型掺杂半导体层、发光层、第一电极以及第二电极。发光层位于第一型掺杂半导体层与第二型掺杂半导体层之间。第一电极电性连接第一型掺杂半导体层与其中相对应的接垫组

的第一电性接垫。第二电极电性连接第二型掺杂半导体层与相对应的接垫组的这些第二电性接垫中的至少其中之一。

[0009] 在本发明的一实施例中,上述的这些微型发光二极管是以覆晶(Flip-Chip)方式设置在所述背板上。

[0010] 在本发明的一实施例中,上述的第一电性载子经由第一电性接垫、第一电极传递至发光层。第二电性载子经由其中一第二电性接垫、第二电极传递至发光层。

[0011] 在本发明的一实施例中,上述的第一电性载子经由相对应的接垫组的第一电性接垫、第一电极传递至发光层。第二电性载子经由相对应的接垫组的其中一第二电性接垫、第二电极传递至发光层。

[0012] 在本发明的一实施例中,上述的每一微型发光二极管在背板形成投影区域。与微型发光二极管电性连接的第一电性接垫位于此投影区域中。与微型发光二极管的第二电极连接的第二电性接垫与此投影区域至少部分重叠。

[0013] 在本发明的一实施例中,在一子像素区域中,第一电性接垫与电性连接第二电极的第二电性接垫之间的距离为第一距离。电性连接第二电极的第二电性接垫与相邻的另一第二电性接垫之间的距离为第二距离。第一距离大于第二距离。

[0014] 在本发明的一实施例中,在每一子像素区域中还包括导电层配置在第二型掺杂半导体层上,并电性连接第二型掺杂半导体层与相对应的接垫组中不与第二电极连接的第二电性接垫。

[0015] 在本发明的一实施例中,上述导电层以金属打线方式与第二电性接垫电性连接。

[0016] 在本发明的一实施例中,上述每一微型发光二极管在背板形成投影区域。与微型发光二极管电性连接的第一电性接垫位于所述投影区域中。与微型发光二极管的第二电极连接的第二电性接垫与投影区域至少部分重叠,与导电层连接的第二电性接垫位于投影区域之外。

[0017] 在本发明的一实施例中,上述第一电性载子经由第一电性接垫、第一电极传递至发光层。第二电性载子通过这些第二电性接垫并经由第二电极与导电层传递至发光层。

[0018] 在本发明的一实施例中,上述第二电极与所述导电层分别位于所述第二型掺杂半导体层的两相对侧。

[0019] 在本发明的一实施例中,在每一子像素区域中,第一电性接垫与电性连接第二电极的第二电性接垫之间的距离与微型发光二极管的最大宽度的比例介于0.1~0.6。

[0020] 在本发明的一实施例中,在每一子像素区域中,第一电极的最大宽度与微型发光二极管的最大宽度的比例介于0.4~0.9。

[0021] 在本发明的一实施例中,在每一子像素区域中,第二电极的最大宽度与所述微型发光二极管的最大宽度的比例介于0.1~0.4。

[0022] 在本发明的一实施例中,上述第一型掺杂半导体层为P型掺杂半导体层,且第二型掺杂半导体层为N型掺杂半导体层。

[0023] 在本发明的一实施例中,上述每一微型发光二极管具有贯孔与绝缘层。贯孔贯穿第一型掺杂半导体层、发光层以及部分第二型掺杂半导体层。绝缘层设置早贯孔的侧壁以及第一型掺杂半导体层的一部分表面。第二电极设置在贯孔内以与第二型掺杂半导体层电性连接。绝缘层位在第二电极与第一型掺杂半导体层间以及第二电极与发光层间。

[0024] 基于上述,在本发明上述实施例的显示面板的每一子像素区域中,微型发光二极管通过对应的子像素区域中的N组接垫组中相对应的一接垫组电性连接以接受第一电性载子与第二电性载子而发光。详细来说,在接合良好的情况下,显示面板通过第二电性接垫形成第一种载子传递路径(电性载子例如是依序通过第二电性接垫以及第二电极并传递至发光层)。在接合不良的情况下,显示面板通过第二电性接垫以及导电件以形成第二种载子传递路径(电性载子例如是依序通过第二电性接垫、导电层、第二型掺杂半导体层并传递至发光层)。无论是在接合良好的情况或者是接合不良的情况下,每一子像素区域的微型发光二极管都能发出光束。因此,本发明上述实施例的显示面板可以降低坏点产生的机率,具有良好的制造良率以及影像品质。

[0025] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合附图作详细说明如下。

附图说明

- [0026] 图1为本发明的一实施例的显示面板的上视示意图;
- [0027] 图2为图1中X-X线段的剖面示意图;
- [0028] 图3为图2中区域A的放大剖面示意图;
- [0029] 图4为本发明的另一实施例的显示面板的上视示意图;
- [0030] 图5为图4中Y-Y线段的显示面板剖面示意图;
- [0031] 图6为图5中区域B的放大剖面示意图;
- [0032] 图7为本发明的再一实施例的显示面板的上视示意图;
- [0033] 图8为图7中Z-Z线段的显示面板剖面示意图;
- [0034] 图9为图8中区域C的放大剖面示意图。
- [0035] 附图标记说明:
- [0036] 100、100a、100b:显示面板;
- [0037] 110:背板;
- [0038] 120:接垫组
- [0039] 121:第一电性接垫;
- [0040] 122、122a、122b:第二电性接垫;
- [0041] 150:微型发光二极管;
- [0042] 151:第一型掺杂半导体层;
- [0043] 152:第一电极;
- [0044] 153:第二型掺杂半导体层;
- [0045] 154:第二电极;
- [0046] 155:发光层;
- [0047] 157:绝缘层;
- [0048] 158:保护层;
- [0049] 160:导线;
- [0050] 170:导电层;
- [0051] A、B、C:区域;

- [0052] D1: 第一距离;
- [0053] D2: 第二距离;
- [0054] H: 贯孔;
- [0055] LS: 下表面;
- [0056] PR: 像素区域;
- [0057] SPR: 子像素区域;
- [0058] US: 上表面;
- [0059] W1、W2、W: 最大宽度;
- [0060] X-X、Y-Y、Z-Z: 线段。

具体实施方式

[0061] 图1为本发明的一实施例的显示面板的上视示意图。图2为图1中X-X线段的剖面示意图。图3为图2中区域A的放大剖面示意图。

[0062] 请参照图1、图2以及图3,在本实施例中,显示面板100具体化为微型发光二极管显示面板(Micro LED Display Panel)。显示面板100包括背板110以及多个微型发光二极管150。请参照图1,背板110包括多个以阵列排列的像素区域PR。像素区域PR还包括多个以阵列排列的子像素区域SPR。

[0063] 举例来说,背板110可以是半导体(Semiconductor)基板、次黏着基台(Submount)、互补式金属氧化物半导体(Complementary Metal-Oxide-Semiconductor, CMOS)电路基板、硅基液晶(Liquid Crystal on Silicon, LCOS)基板、薄膜晶体管(Thin Film Transistor, TFT)基板或者是其他类型的基板,本发明并不以此为限。在本实施例中,背板110具体化为薄膜晶体管基板。微型发光二极管150的尺寸大小例如是微米等级的尺寸大小。详言之,微型发光二极管150的对角线长度大小例如是落在5微米至150微米的范围内。

[0064] 更详细来说,每一个子像素区域SPR中设置有N组接垫组120以及一个微型发光二极管150,且每一接垫组120是包括一个第一电性接垫121以及X个第二电性接垫122,其中N为1~3的整数,X为2~4的整数。在本实施例中,每一个子像素区域SPR中是以设置一组接垫组120(N=1)为例,且每一接垫组120具有两个第二电性接垫122为例,但并不以此为限。在其他未显示的实施例中,第二电性接垫122的数量也可以是3个(X=3)或4个(X=4),并且,每一个子像素区域SPR中也可以是设置2组接垫组120(N=2)或3组接垫组120(N=3)。在一子像素区域SPR中,越多的电性接垫可以让接合良率提升且提高修复率,然而由于尺寸限制,也不适合过多的数量导致解析度下降。

[0065] 具体而言,请参照图2以及图3,在本实施例中,这些微型发光二极管150是以覆晶(Flip-chip)方式设置在背板110上。详言之,这些第一电性接垫121与第二电性接垫122位于背板110上,微型发光二极管150则通过接垫组120与背板110电性连接。具体而言,一个微型发光二极管150对应一组接垫组120设置。每一微型发光二极管150包括第一型掺杂半导体层151(例如是P型掺杂半导体层,但并不以此为限)、第二型掺杂半导体层153(例如是N型掺杂半导体层,但并不以此为限)、发光层155、贯孔H、绝缘层157、第一电极152以及第二电极154。发光层155位于第一型掺杂半导体层151与第二型掺杂半导体层153之间。第一电极152电性连接第一型掺杂半导体层151与相对应的接垫组120的第一电性接垫121。第二电极154

电性连接第二型掺杂半导体层153与相对应的接垫组120的这些第二电性接垫122a、第二电性接垫122b中的至少其中之一(例如是第二电性接垫122a)。更详细来说,这些第二电性接垫122a、第二电性接垫122b中的第二电性接垫122b不与第二电极154连接。

[0066] 请再参照图3,在本实施例中,贯孔H贯穿第一型掺杂半导体层151、发光层155以及部分第二型掺杂半导体层153。绝缘层157设置在贯孔H的侧壁以及部分第一型掺杂半导体层151的下表面LS。第二电极154一部分设置在贯孔H内以与第二型掺杂半导体层153电性连接、第二电极154另一部分则在第一型掺杂半导体层151的下表面LS以与背板110上的其中一第二电性接垫122a连接。绝缘层157用以使第二电极154与第一型掺杂半导体层151以及发光层155电性绝缘,绝缘层157的材料例如是无机材料或有机材料组成。在本实施例中,绝缘层157的材料例如是氮化硅与氧化硅,本发明并不以此为限。

[0067] 此外,在本实施例中,微型发光二极管150还包括保护层158。保护层158覆盖微型发光二极管150的侧壁。保护层158用以避免微型发光二极管150受到外在水气或灰尘影响,以提升微型发光二极管150的寿命。在本实施例中,保护层158的材料例如是有机绝缘材料(如光阻材料)或无机绝缘材料(如氧化硅薄膜),本发明并不以此为限。

[0068] 在本实施例中,第一电极152的最大宽度W1大于第二电极154的最大宽度W2。通过上述宽度的设计,当要使微型发光二极管150与背板110上的第一电性接垫121以及第二电性接垫122a对准时,以宽度较大的第一电极152与第一电性接垫121对准,可以大幅地降低对准的难度。

[0069] 具体来说,在本实施例中,第一电性接垫121与电性连接在第二电极154的第二电性接垫122a之间的第一距离D1与微型发光二极管150的最大宽度W的比例范围为0.1~0.6,较佳地D1/W的值小于0.3,通过此比例(D1/W)的设计,可以在第一电性接垫121与第二电性接垫122a之间具有较大的容置空间,大幅降低在接合过程中因上述处于熔融态的两电性接垫第一电性接垫121、第二电性接垫122a彼此接触而造成短路的机率。

[0070] 另一方面,第一电极152的最大宽度W1与微型发光二极管150的最大宽度W的比例落在0.4至0.9的范围内。当此比例(W1/W)落在此范围内时,可以降低当微型发光二极管150受压时产生裂纹(Crack)的机率。第二电极154的最大宽度W2与微型发光二极管150的最大宽度W的比例(W2/W)落在0.1至0.4的范围内。

[0071] 请继续参照图3,在每一子像素区域SPR中,微型发光二极管150在背板110形成一投影区域。与微型发光二极管150电性连接的第一电性接垫121以及第二电性接垫122a都位于此投影区域中。不与微型发光二极管150电性连接的第二电性接垫122b则落在此投影区域之外。此外,在本实施例中,第一电性接垫121与电性连接第二电极154的第二电性接垫122a之间的距离为第一距离D1。电性连接第二电极154的第二电性接垫122a与相邻的另一第二电性接垫122b之间的距离为第二距离D2。第一距离D1大于第二距离D2。

[0072] 在本实施例中,第一电性接垫121以及这些第二电性接垫122的材料例如是选自铟(In)、锡(Sn)或其合金(In/Sn),本发明并不以此为限。第一电极152以及第二电极154的材料例如是选自金(Au)、锡(Sn)或其合金(Au/Sn),本发明不以此为限。

[0073] 在本实施例中,P型掺杂半导体层的材料例如是P型氮化镓(p-GaN),N型掺杂半导体层的材料例如是N型氮化镓(n-GaN),但本发明并不以此为限。另一方面,发光层155的结构例如是多层量子井结构(Multiple Quantum Well, MQW)。多重量子井结构包括以重复的

方式交替设置的多个量子井层(Well)和多个量子阻挡层(Barrier)。进一步来说,发光层155的材料例如是包括交替堆叠的多层氮化镓(InGaN)以及多层氮化镓(GaN),通过设计发光层155中镓或铟的比例,可使发光层155发出不同的发光波长范围。应注意的是,关于上述所举的发光层155的材料仅为举例,本发明的发光层155的材料并不以氮化镓与氮化铟为限。

[0074] 在本实施例中,微型发光二极管150与相对应的接垫组120电性连接以接收第一电性载子(例如是空穴)与第二电性载子(例如是电子)而发光。具体而言,背板110对这些微型发光二极管150提供第一电性载子以及第二电性载子。第一电性载子经由相对应的接垫组120的第一电性接垫121、第一电极152传递至发光层155。第二电性载子经由相对应的接垫组120的其中一第二电性接垫122a、第二电极154传递至发光层155(第一种载子传递路径)。第一电性载子与第二电性载子在发光层155中复合(Recombination)以放出光束。

[0075] 承上述,当每一微型发光二极管150的第一电极152与第二电极154与背板110上的第一电性接垫121与第二电性接垫122接合步骤完成时,会经过点测的步骤以测试是否背板110上的这些微型发光二极管150能够被点亮。在图3的状态下,微型发光二极管150例如是与第一电性接垫121以及第二电性接垫122a成功地电性连接,第二电性接垫122b例如是在冗余(Redundant)的状态。

[0076] 应注意的是,在本实施例中,显示面板100例如是通过驱动单元(未示出)、多条数据线(未示出)、多条扫描线(未示出)以及多个晶体管(未示出)以控制子像素区域SPR中对应的微型发光二极管150是否发出光束,进而控制像素区域PR所显示的图像。显示面板100的操作与实施方式可以由所属技术领域的技术人员获知足够的教导、建议与实施说明,因此不再赘述。

[0077] 在此必须说明的是,下述实施例沿用前述实施例的部分内容,省略了相同技术内容的说明,关于相同的元件名称可以参考前述实施例的部分内容,下述实施例不再重复赘述。

[0078] 图4为本发明另一实施例的显示面板的上视示意图。图5为图4中Y-Y线段的剖面示意图。图6为图5中区域B的放大剖面示意图。

[0079] 请参照图4至图6,在通过子像素区域SPR的线段Y-Y中,每一微型发光二极管150在背板110形成投影区域。与微型发光二极管150电性连接的第一电性接垫121位于此投影区域中。与微型发光二极管150的第二电极154连接的第二电性接垫122a与此投影区域至少部分重叠。详言之,部分的第二电性接垫122a落在此投影区域之外。

[0080] 图7为本发明的再一实施例的显示面板的上视示意图。图8为图7中Z-Z线段的显示面板剖面示意图。图9为图8中区域C的放大剖面示意图。

[0081] 请参照图7至图9,再另一些情况下,这些微型发光二极管150经点测的步骤后发现部分为点亮,另一部分为坏点(或者是全部都是坏点)。代表部分(或全部)的微型发光二极管150对应的第二电极154并没有与第二电性接垫122a电性连接。在图7至图9的实施例中,Z-Z线段所通过的子像素区域SPR中的这些微型发光二极管150例如是显示为并未与第二电性接垫122a电性连接。显示面板100b可在每一子像素区域SPR中还包括一导电层170。导电层170配置在第二型掺杂半导体层153上,并通过金属导线160以打线方式(Wire-bonding)与第二电性接垫122b电性连接。

[0082] 具体而言,导电层170的材料例如是透明导电材料(如氧化铟锡),或是其他导电金属、合金膜层,但不以此为限。第二电极154与导电层170分别位于第二型掺杂半导体层153的两相对侧。导电层170连接第二电性接垫122b以及第二型掺杂半导体层153的上表面US以使第二型掺杂半导体层153与第二电性接垫122b电性连接。因此,第一电性载子由背板110依序通过第一电性接垫121、第一电极152、第一型掺杂半导体层151传递至发光层155,并且,背板110所提供的第二电性载子依序通过第二电性接垫122b、导电层170以及第二型掺杂半导体层153至发光层155。

[0083] 换言之,若经点测后发现,部分或全部的微型发光二极管150为坏点,代表第二电极154并没有与第二电性接垫122a电性连接。显示面板100b通过这些导电层170以及冗余的这些第二电性接垫122b的设置,以在每一子像素区域SPR中形成第二种载子传输路径,以使第二电性载子传递至发光层155。具体来说,显示面板100b通过第二电性接垫122b以及导电层170以形成第二种载子传递路径以使第二电性载子传递至发光层155。如此一来,第一电性载子与第二电性载子会在发光层155中进行复合以放出光束。

[0084] 具体来说,这些导电层170的形成方法例如是当这些微型发光二极管150与背板110上的接垫组120接合后,形成导电层170在这些微型发光二极管150上,形成导电层170的方法例如是通过旋转涂布法或者是蒸镀法,本发明并不以此为限。接着,通过黄光处理,以定义出导电层170的图案,并使导电层170电性连接第二型掺杂半导体层153与第二电性接垫122b,本实施例是以金属打线方式连接,另一实施方式也可例如是点导电胶、或导电层170延伸连接等方式。再者,在另一实施例中,导电层170可以是透明膜层整面覆盖在第二型掺杂半导体层153上,本发明并不以导电层170的形成方法为限。

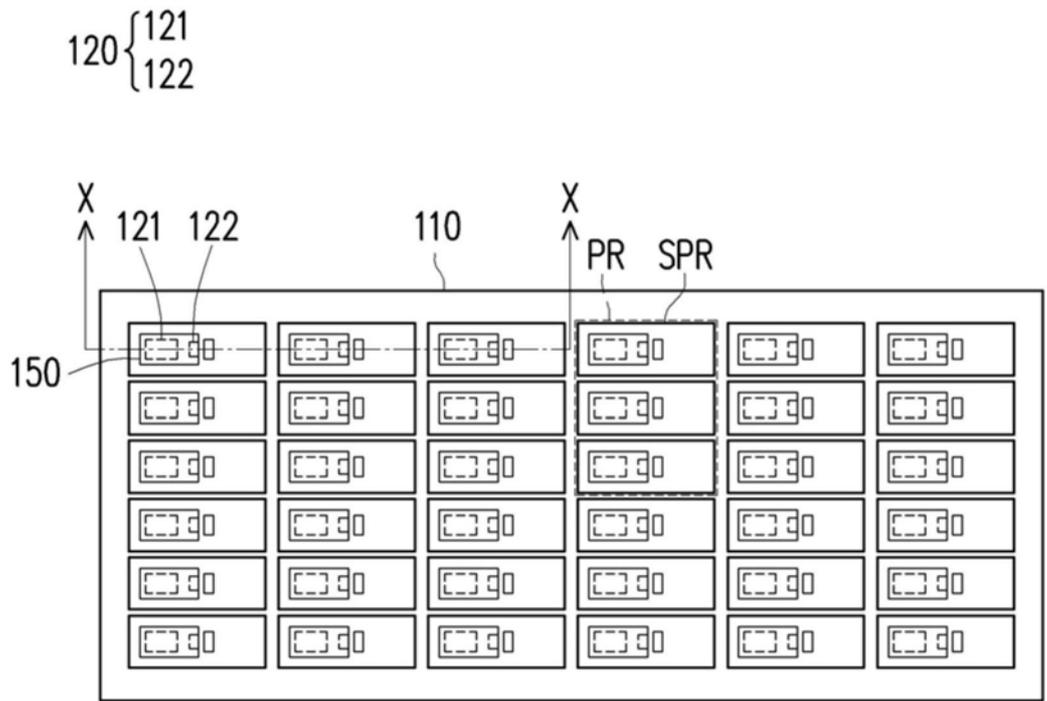
[0085] 承上述,在本发明上述实施例的显示面板(100、100a、100b)中,每一子像素区域SPR中的微型发光二极管150与相对应的接垫组120电性连接以接受第一电性载子与第二电性载子而发光。详言之,依据点测后这些微型发光二极管150不同点亮的状况,本发明上述实施例的显示面板提供两种可能的载子传输路径以使第二电性载子传递至发光层155。更详细来说,若子像素区域SPR中的微型发光二极管150的第一电极152以及第二电极154分别与相对应的接垫组120的第一电性接垫121以及这些第二电性接垫122a、第二电性接垫122b的其中一第二电性接垫122a分别形成良好的电性连接,则代表在此子像素区域SPR中的微型发光二极管150经点测后是能够被点亮的。也就是说,背板110所提供的第二电性载子通过第二电性接垫122a、第二电极154以及第二型掺杂半导体层153以传递至发光层155(第一种载子传递路径)。若子像素区域SPR中的微型发光二极管150的第二电极154并未与相对应的接垫组120的第二电性接垫122a形成良好的电性连接,则代表在此子像素区域SPR中的微型发光二极管150经点测后是不能被点亮的,而形成坏点。本发明实施例的显示面板100b可进一步通过导电层170以及原本处于冗余的第二电性接垫122b以形成第二种载子传递路径。背板110所提供的第二电性载子并通过第二电性接垫122b、导电层170以及第二型掺杂半导体层153以传递至发光层155(第二种载子传递路径)。因此,本发明上述实施例的显示面板可以降低产生坏点的机率,具有良好的制造良率以及影像品质。

[0086] 综上所述,在本发明上述实施例的显示面板的每一子像素区域中,微型发光二极管通过对应的子像素区域中的N组接垫组中相对应的一接垫组电性连接以接受第一电性载子与第二电性载子而发光。详细来说,在接合良好的情况下,显示面板通过第二电性接垫形

成第一种载子传递路径(电性载子例如是依序通过第二电性接垫以及第二电极并传递至发光层)。在接合不良的情况下,显示面板通过第二电性接垫以及导电件以形成第二种载子传递路径(电性载子例如是依序通过第二电性接垫、导电层、第二型掺杂半导体层并传递至发光层)。无论是在接合良好的情况或者是接合不良的情况下,每一子像素区域的微型发光二极管都能发出光束。因此,本发明上述实施例的显示面板可以降低坏点产生的机率,具有良好的制造良率以及影像品质。

[0087] 接着,本发明上述实施例的显示面板通过微型发光二极管中的第一电极的最大宽度大于第二电极的最大宽度的设计,可以大幅地降低对准的难度。第一电性接垫与电性连接在第二电极的第二电性接垫之间的距离与微型发光二极管的最大宽度的比例范围为0.1~0.6,通过此比例的设计可以降低短路的机率。此外,第一电极的最大宽度与微型发光二极管的最大宽度的比例落在0.4~0.9的范围内,可以降低微型发光二极管受压时产生裂纹的机率。

[0088] 虽然本发明已以实施例揭示如上,然其并非用以限定本发明,任何所属技术领域中技术人员,在不脱离本发明的精神和范围内,当可作些许的更改与润饰,故本发明的保护范围当视权利要求书所界定的为准。



100

图1

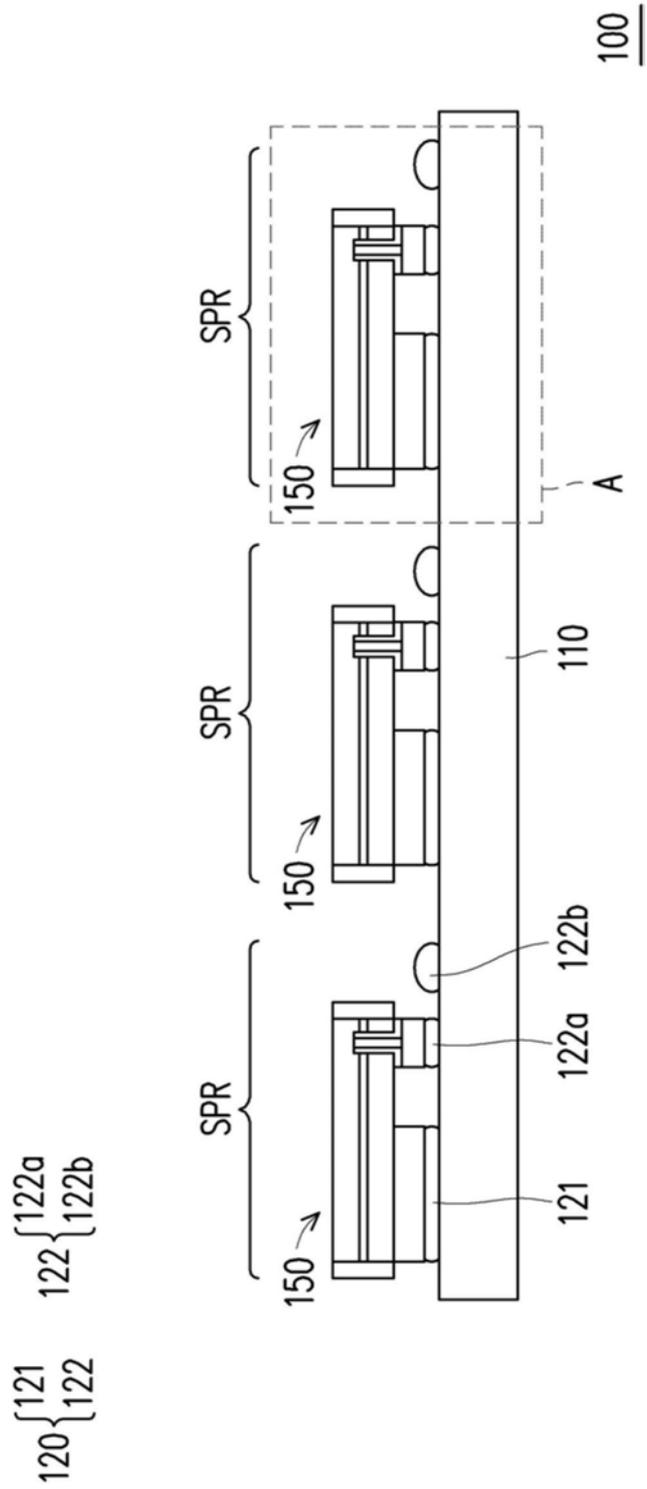


图2

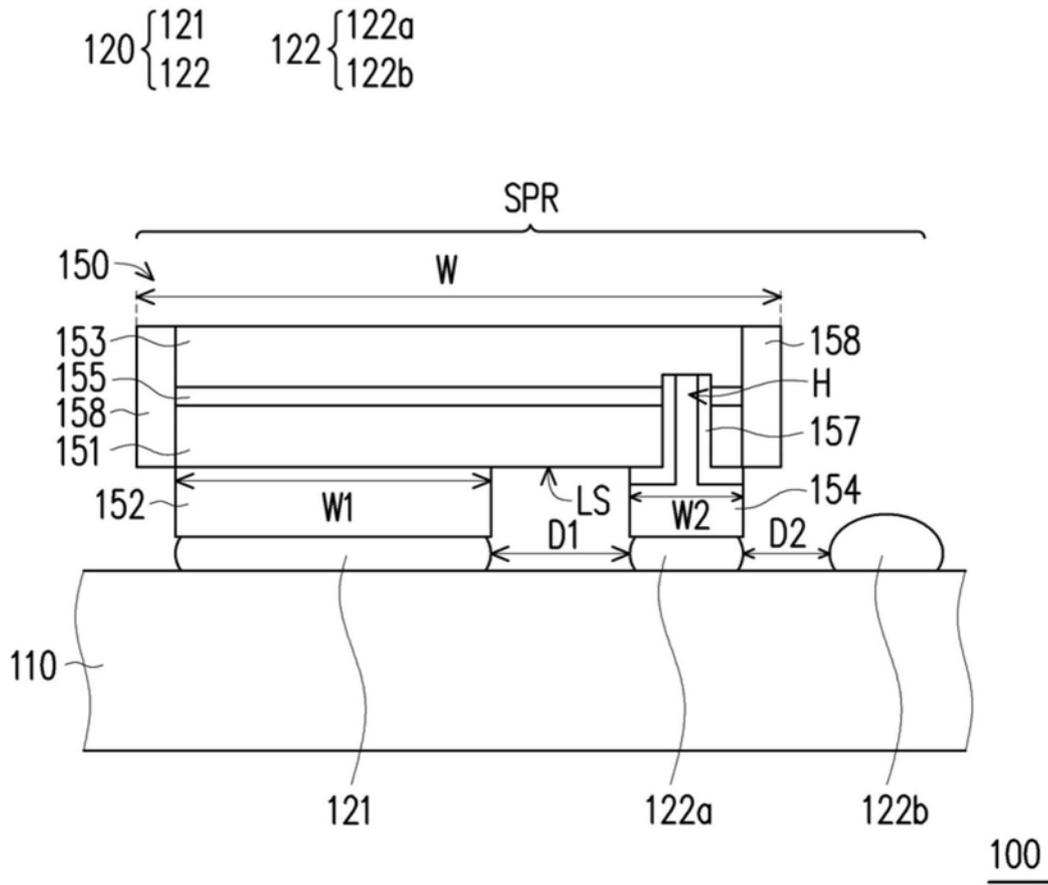


图3

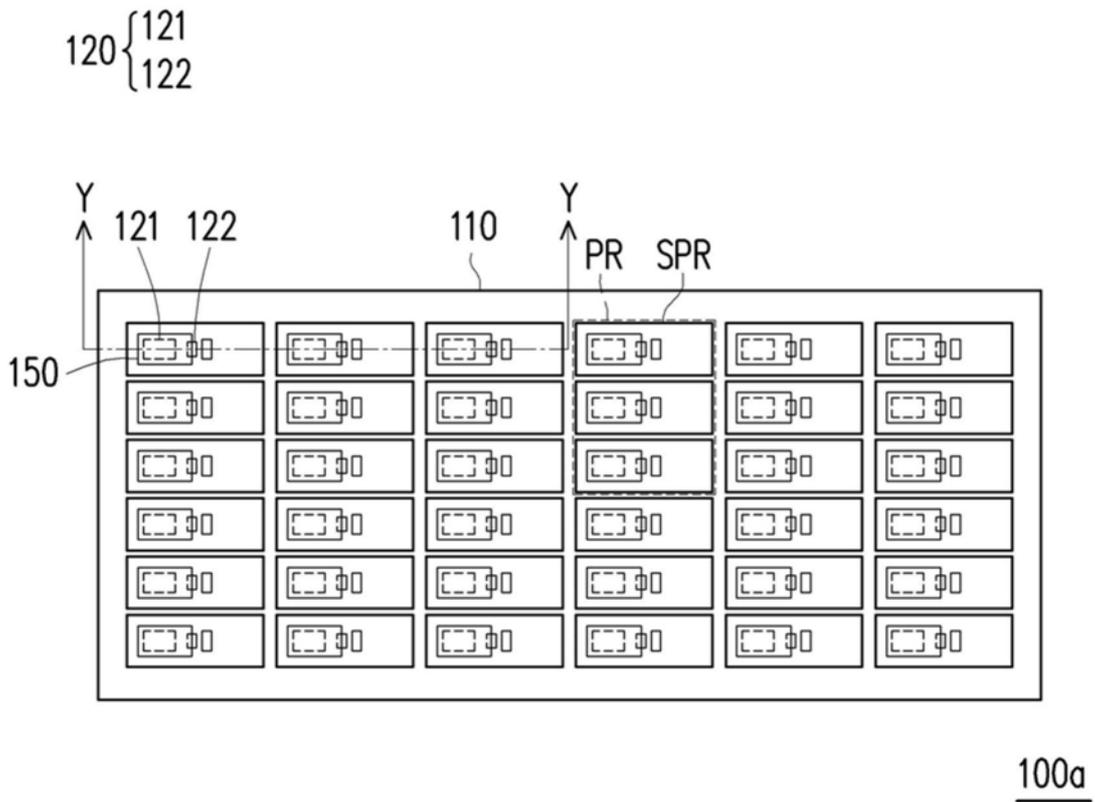


图4

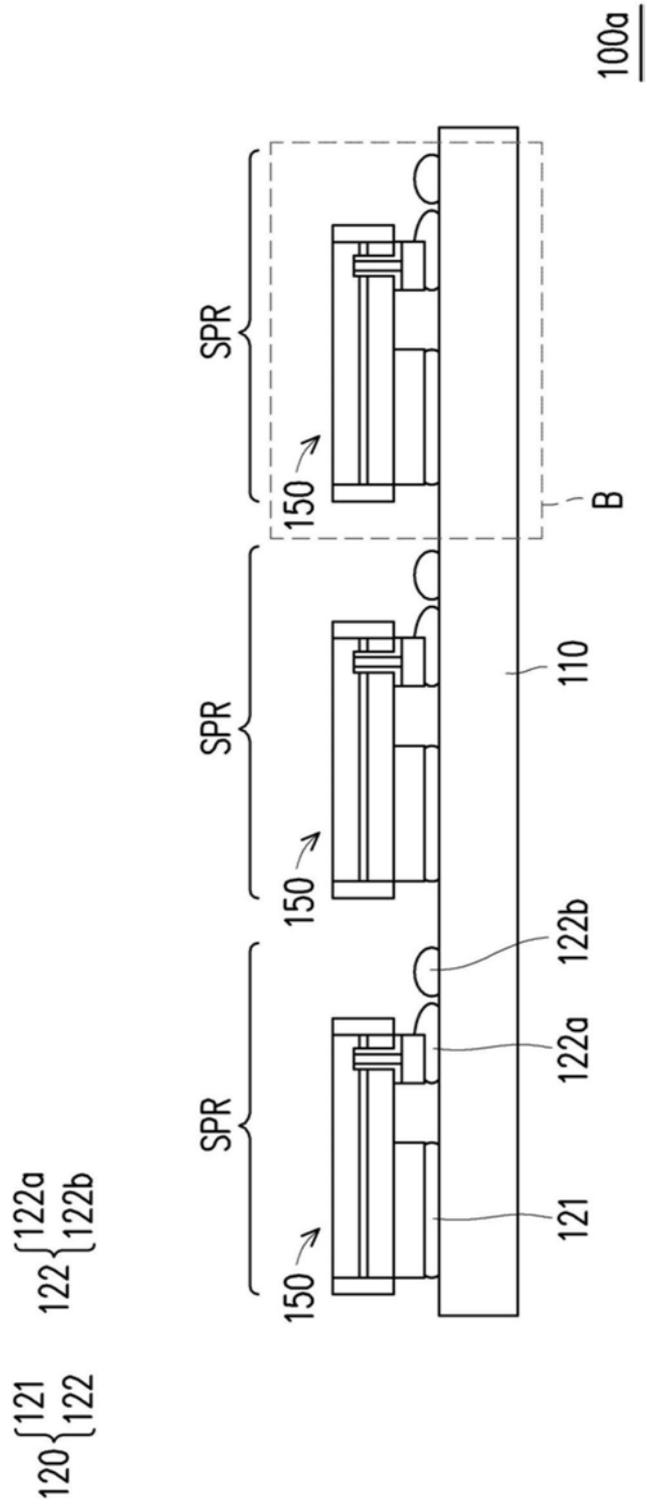


图5

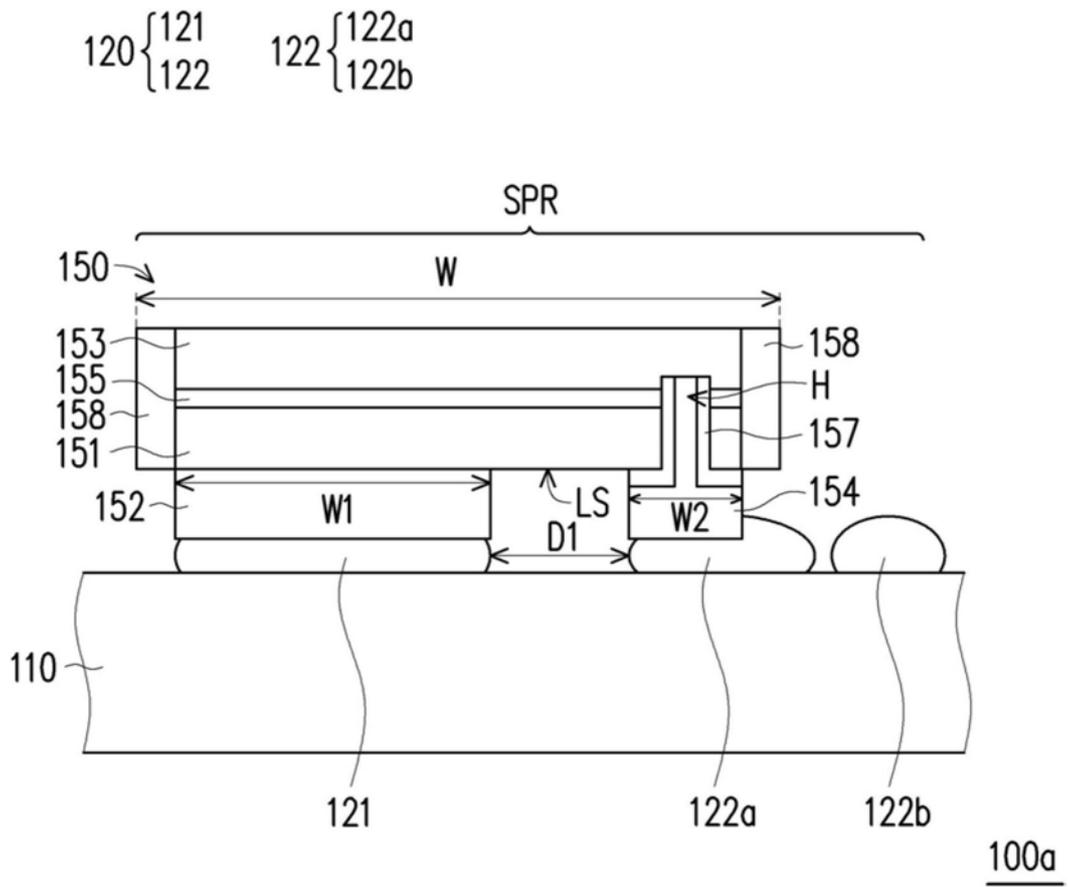


图6

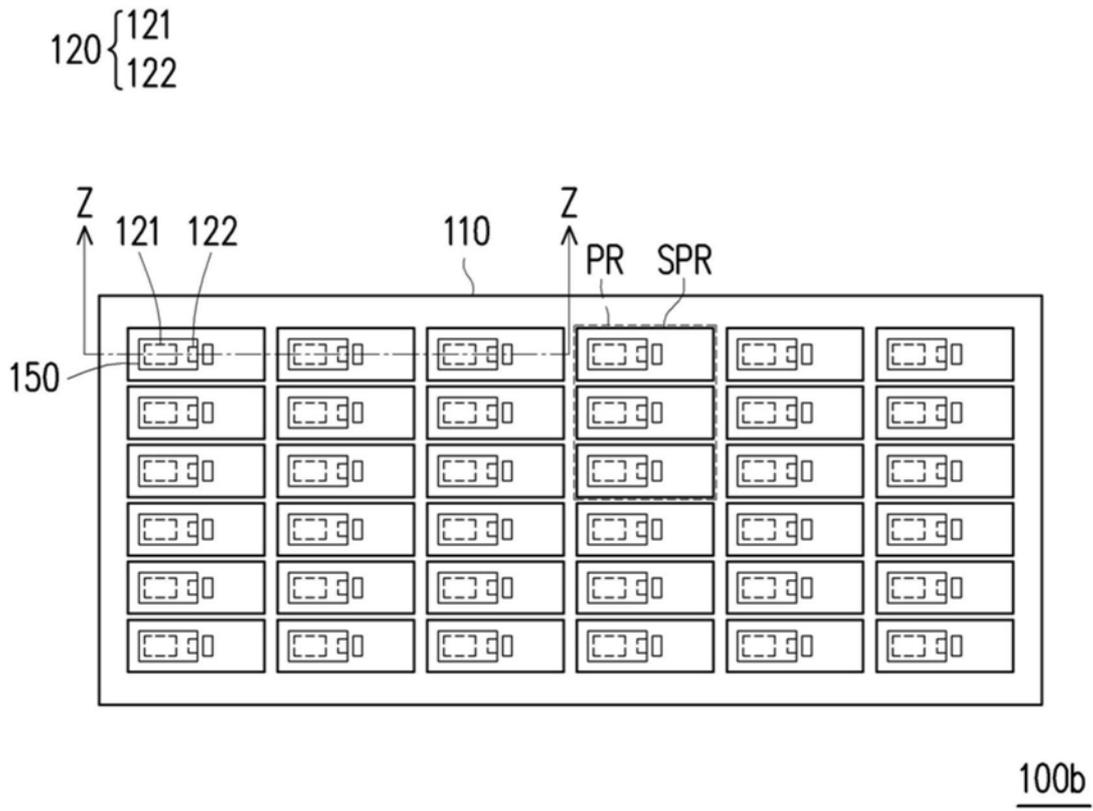


图7

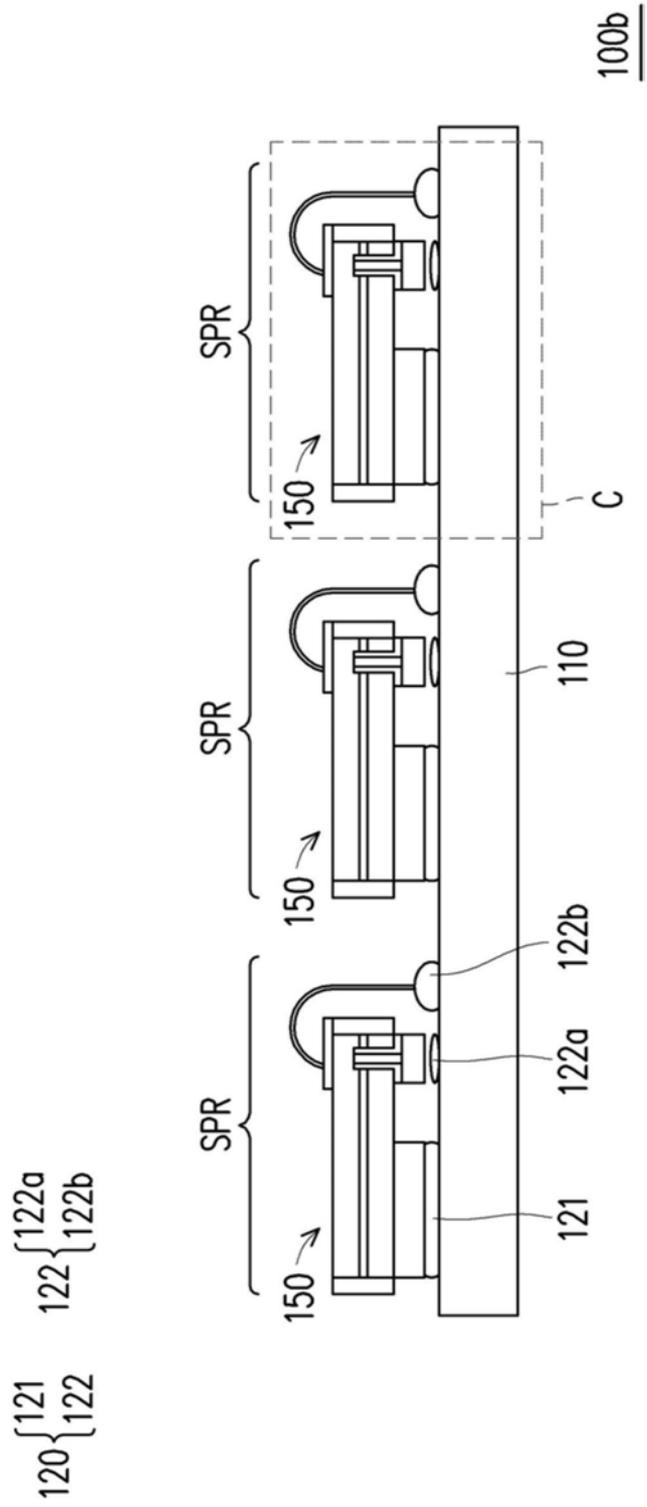


图8

专利名称(译)	显示面板		
公开(公告)号	CN108288629A	公开(公告)日	2018-07-17
申请号	CN201710017418.7	申请日	2017-01-10
[标]申请(专利权)人(译)	臻创科技股份有限公司		
[标]发明人	赖育弘 林子暘 李允立 罗玉云		
发明人	赖育弘 林子暘 李允立 罗玉云		
IPC分类号	H01L27/15 H01L33/62		
CPC分类号	H01L27/156 H01L33/62		
代理人(译)	马雯雯		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种显示面板。该显示面板包括背板以及多个微型发光二极管。背板包括多个子像素区域。每一子像素区域具有N组接垫组。每一接垫组包括第一电性接垫与X个第二电性接垫。N为1~3的整数、X为2~4的整数。这些微型发光二极管个别设置于这些子像素区域中且一微型发光二极管与N组接垫组中的一相对应的接垫组电性连接以接受第一电性载子与第二电性载子而发光。

